

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09081072 A

(43) Date of publication of application: 28 . 03 . 97

(51) Int. Cl

G09G 3/28  
H04N 5/66

(21) Application number: 07231253

(22) Date of filing: 08 . 09 . 95

(71) Applicant: FUJITSU LTD

(72) Inventor: OTOBE YUKIO  
YOSHIDA MASAHIRO  
OTAKA NOBUAKI

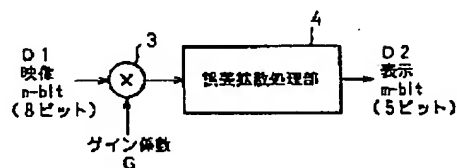
(54) IMAGE PROCESSOR AND PLASMA DISPLAY  
PANEL

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide image processor which executes higher multilevel gradients while preventing the deterioration in image quality accompanying with error diffusion with respect to the image processor of a display device constituted to spuriously increase the number of gradations by error diffusion processing.

SOLUTION: This image processor has an error diffusion processing section 4 which executes the error diffusion processing to spuriously increase the number of the display gradients of the display. The processor is provided with a multiplier 3 in the fore stage of the error diffusion processing section and is so constituted that the display data necessary for the error diffusion processing and the error data are separated at the bit boundary by executing multiplication with an input signal D1 by a prescribed multiplication coefft. G so as to obtain a smooth display characteristic over the entire area of the input signal.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-81072

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/28		4237-5H	G 0 9 G 3/28	K
H 0 4 N 5/66	1 0 1		H 0 4 N 5/66	1 0 1 B

審査請求 未請求 請求項の数34 O L (全 23 頁)

(21) 出願番号 特願平7-231253  
(22) 出願日 平成7年(1995)9月8日

(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番1号  
(72) 発明者 乙部 幸男  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(72) 発明者 吉田 昌弘  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(72) 発明者 大鷹 伸章  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(74) 代理人 弁理士 石田 敬 (外3名)

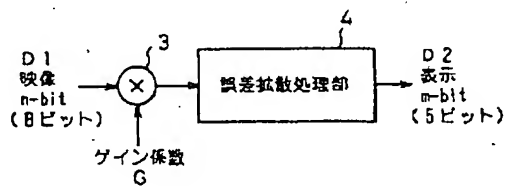
(54) 【発明の名称】 画像処理装置及びプラズマ・ディスプレイ・パネル

(57) 【要約】

【課題】 誤差拡散処理により疑似的に階調数を増加するようにした表示装置における画像処理装置に関し、誤差拡散に伴う画質劣化を防止しつつ多階調化を行う画像処理装置の提供を目的とする。

【解決手段】 疑似的にディスプレイの表示階調数を増大する誤差拡散処理を行う誤差拡散処理部4を有する画像処理装置であって、前記誤差拡散処理部の前段に乗算器3を設け、入力信号D1と所定の乗算係数Gとの乗算を行って、前記誤差拡散処理に必要な表示データと誤差データをビット境界で分離し、前記入力信号の全域に渡って滑らかな表示特性を得るように構成する。

本発明に係る画像処理装置の第1の形態の原理を示すブロック図



## 【特許請求の範囲】

【請求項1】 疑似的にディスプレイの表示階調数を増大する誤差拡散処理を行う誤差拡散処理部(4)を有する画像処理装置であって、

前記誤差拡散処理部の前段に乗算器(3)を設け、入力信号(D1)と所定の乗算係数(G)との乗算を行って、前記誤差拡散処理に必要な表示データと誤差データをビット境界で分離し、前記入力信号の全域に渡って滑らかな表示特性を得るようにしたことを特徴とする画像処理装置。

【請求項2】 前記誤差拡散処理部(4)は、 $n$ ビットで量子化(0以上で $2^n - 1$ 以下の整数)された信号を、実際の表示階調数が $m$ ビット( $m < n$ )以上で $2^m$ 以下のディスプレイに誤差拡散処理を行って疑似的に多階調化を図るようになっていないことを特徴とする請求項1の画像処理装置。

【請求項3】 前記画像処理装置は、さらに、前記乗算係数を格納する乗算係数レジスタ(31)、および、該乗算係数レジスタに格納された複数の乗算係数の内の任意の1つを選択する乗算係数セクタ(32)を具備することを特徴とする請求項1の画像処理装置。

【請求項4】 前記画像処理装置は、さらに、前記乗算器(3)と前記誤差拡散処理部(4)との間に設けられた加算器(35)を具備し、該加算器(35)により、該乗算器(3)の出力に対して加算係数を加算するようにしたことを特徴とする請求項1の画像処理装置。

【請求項5】 前記画像処理装置は、さらに、前記加算係数を複数格納する加算係数レジスタ(33)、および、該加算係数レジスタ(33)に格納された複数の加算係数の内の任意の1つを選択する加算係数セクタ(34)を具備することを特徴とする請求項4の画像処理装置。

【請求項6】 前記乗算係数および加算係数を、前記ディスプレイの非線形特性の逆特性の直線近似式における傾きと切片に対応した値に設定し、該乗算係数および加算係数を所定の信号により切り換えて、前記ディスプレイの非線形特性を補正するようにしたことを特徴とする請求項5の画像処理装置。

【請求項7】 前記乗算係数および加算係数を切り換える所定の信号は、前記入力信号の上位ビットとなっていることを特徴とする請求項6の画像処理装置。

【請求項8】 前記加算係数レジスタ(33)に格納する加算係数を、上位 $h$ ビットで仕切られた $2^h$ 個の直線近似式の $y$ 軸との切片としたことを特徴とする請求項5の画像処理装置。

【請求項9】 前記加算係数レジスタ(33)に格納する加算係数を、上位 $h$ ビットで仕切られた $2^h$ 個の矩形領域内の左端の $y$ 値とし、前記乗算器(3)の被乗数ビット数を $n$ ビットから $n - h$ ビットに低減して回路規模を削減するようにしたことを特徴とする請求項5の画像

処理装置。

【請求項10】 各々 $n$ ビットで量子化(0以上で $2^n - 1$ 以下の整数)されたRGBの3原色信号を、各々の実際の表示階調数が $m$ ビット( $m < n$ )以上で $2^m$ 以下のRGB3原色ディスプレイに対して該RGB3系統独立に処理回路(20R、20G、20B)を設けて誤差拡散処理を行い疑似的に多階調化を図る画像処理装置であって、

前記各処理回路(20R、20G、20B)は、

10 前記誤差拡散処理部(4)の前段に設けられ、入力信号と所定の乗算係数との乗算を行う乗算器(3)、前記乗算係数を格納する乗算係数レジスタ(31)、該乗算係数レジスタに格納された複数の乗算係数の内の任意の1つを選択する乗算係数セクタ(32)、前記乗算器(3)と前記誤差拡散処理部(4)との間に設けられ、該乗算器の出力に対して加算係数を加算する加算器(35)、

前記加算係数を複数格納する加算係数レジスタ(33)、および、該加算係数レジスタに格納された複数の加算係数の内の任意の1つを選択する加算係数セクタ(34)を具備し、前記誤差拡散処理に必要な表示データと誤差データをビット境界で分離し、前記入力信号の全域に渡って滑らかな表示特性を得るようにしたことを特徴とする画像処理装置。

【請求項11】 前記各処理回路(20R、20G、20B)における前記乗算係数レジスタ(31)および前記加算係数レジスタ(33)は、前記RGB各々に異なる係数を格納し、該RGBの蛍光体のばらつき等によるカラーバランス歪みを補正するようになっていない請求項10の画像処理装置。

【請求項12】 前記乗算係数および加算係数を、前記ディスプレイの非線形特性の逆特性の直線近似式における傾きと切片に対応した値に設定し、該乗算係数および加算係数を所定の信号により切り換えて、前記ディスプレイの非線形特性を補正するようにしたことを特徴とする請求項10の画像処理装置。

【請求項13】 前記乗算係数および加算係数を切り換える所定の信号は、前記入力信号の上位ビットとなっていることを特徴とする請求項12の画像処理装置。

40 【請求項14】 前記加算係数レジスタ(33)に格納する加算係数を、上位 $h$ ビットで仕切られた $2^h$ 個の直線近似式の $y$ 軸との切片としたことを特徴とする請求項10の画像処理装置。

【請求項15】 前記加算係数レジスタ(33)に格納する加算係数を、上位 $h$ ビットで仕切られた $2^h$ 個の矩形領域内の左端の $y$ 値とし、前記乗算器(3)の被乗数ビット数を $n$ ビットから $n - h$ ビットに低減して回路規模を削減するようにしたことを特徴とする請求項10の画像処理装置。

50 【請求項16】 疑似的にディスプレイの表示階調数を

増大する誤差拡散処理を行う誤差拡散処理部(6)と、該誤差拡散処理部の前段に設けられ入力信号(D1)に対するディザ波形の加算および減算を行って、状態遷移の発生し易い誤差データを状態遷移の発生し難いデータに変換してフリッカの発生を抑えるディザ処理回路

(5)とを具備することを特徴とする画像処理装置。

【請求項17】 前記ディザ処理回路(5)は、前記入力信号においてフリッカの発生しやすいレベルに対応するディザ波形を格納するディザ波形テーブル(51)、および、該ディザ波形テーブルの出力を前記入力信号に対して加算または減算するディザ波形演算処理手段(52、53、54)を具備することを特徴とする請求項16の画像処理装置。

【請求項18】 前記ディザ波形演算処理手段(52、53、54)は、ライン/ドット毎に反転・非反転信号を出力するセレクト(54)、該セレクトの出力と前記ディザ波形テーブル(51)の出力を乗算する乗算器

(53)、および、前記入力信号と該乗算器の出力とを加算する加算器(52)を具備することを特徴とする請求項17の画像処理装置。

【請求項19】 前記セレクト(54)は、ラインカウンタ(273)の最下位ビットおよびドットカウンタ

(274)の最下位ビットの排他的論理和(275)を取った信号によって、前記入力信号に対するディザ波形のライン/ドット毎の反転・非反転信号を制御するようになっていることを特徴とする請求項18の画像処理装置。

【請求項20】 前記ディザ波形テーブル(51)は、複数種類のディザ波形を格納するディザ格納レジスタ

(272、472)、および、前記入力信号の階調に応じて該ディザ格納レジスタ(272、472)における複数種類のディザ波形から最適なディザ波形を指定するためのディザ指定レジスタ(271、471)を具備することを特徴とする請求項17の画像処理装置。

【請求項21】 前記ディザ格納レジスタ(272)は、前記入力信号に加算および減算するディザ波形( $\alpha$ )を格納していることを特徴とする請求項20の画像処理装置。

【請求項22】 前記ディザ格納レジスタ(472)は、前記入力信号に加算するディザ波形( $\alpha$ )と前記入力信号から減算するディザ波形( $\beta$ )との両方をそれぞれ格納していることを特徴とする請求項20の画像処理装置。

【請求項23】 前記ディザ波形テーブル(51)は、1種類のディザ波形を格納するディザ格納レジスタ(372)、および、前記入力信号の階調に応じて該ディザ格納レジスタ(372)のディザ波形による前記入力信号の処理を行うか否かを指定するディザ指定レジスタ

(371)を具備することを特徴とする請求項17の画像処理装置。

【請求項24】 各々nビットで量子化(0以上で $2^n-1$ 以下の整数)されたRGBの3原色信号を、各々の実際の表示階調数がmビット( $m < n$ )以上で $2^m$ 以下のRGB3原色ディスプレイに対して該RGB3系統独立に処理回路(201、202、203; 301、302、303; 401、402、403)を設けて拡散処理を行い疑似的に多階調化を図る画像処理装置であって、前記各処理回路(201、202、203; 301、302、303; 401、402、403)は、疑似的にディスプレイの表示階調数を増大する誤差拡散処理を行う誤差拡散処理部(6)と、該誤差拡散処理部の前段に設けられ入力信号に対するディザ波形の加算および減算を行って、状態遷移の発生し易い誤差データを状態遷移の発生し難いデータに変換してフリッカの発生を抑える信号処理回路

(5)とを具備することを特徴とする画像処理装置。

【請求項25】 前記ディザ処理回路(5)は、前記入力信号においてフリッカの発生しやすいレベルに対応するディザ波形を格納するディザ波形テーブル(51)、および、該ディザ波形テーブルの出力を前記入力信号に対して加算または減算するディザ波形演算処理手段(52、53、54)を具備することを特徴とする請求項24の画像処理装置。

【請求項26】 前記ディザ波形演算処理手段(52、53、54)は、ライン/ドット毎に反転・非反転信号を出力するセレクト(54)、該セレクトの出力と前記ディザ波形テーブル(51)の出力を乗算する乗算器(53)、および、前記入力信号と該乗算器の出力とを加算する加算器(52)を具備することを特徴とする請求項25の画像処理装置。

【請求項27】 前記セレクト(54)は、ラインカウンタ(273)の最下位ビットおよびドットカウンタ(274)の最下位ビットの排他的論理和(275)を取った信号によって、前記入力信号に対するディザ波形のライン/ドット毎の反転・非反転信号を制御するようになっていることを特徴とする請求項26の画像処理装置。

【請求項28】 前記ディザ波形テーブル(51)は、複数種類のディザ波形を格納するディザ格納レジスタ(272、472)、および、前記入力信号の階調に応じて該ディザ格納レジスタ(272、472)における複数種類のディザ波形から最適なディザ波形を指定するためのディザ指定レジスタ(271、471)を具備することを特徴とする請求項25の画像処理装置。

【請求項29】 前記ディザ格納レジスタ(472)は、前記入力信号に加算および減算するディザ波形( $\alpha$ )を格納していることを特徴とする請求項28の画像処理装置。

【請求項30】 前記ディザ格納レジスタ(472)は、前記入力信号に加算するディザ波形( $\alpha$ )と前記入力信号から減算するディザ波形( $\beta$ )との両方をそれぞれ格納していることを特徴とする請求項28の画像処理

装置。

【請求項31】 前記ディザ波形テーブル(51)は、1種類のディザ波形を格納するディザ格納レジスタ(372)、および、前記入力信号の階調に応じて該ディザ格納レジスタ(372)のディザ波形による前記入力信号の処理を行うか否かを指定するディザ指定レジスタ(371)を具備することを特徴とする請求項25の画像処理装置。

【請求項32】 請求項1～9のいずれかに記載の第1の画像処理装置、および、請求項16～22のいずれかに記載の第2の画像処理装置の両方を具備することを特徴とする画像処理装置。

【請求項33】 請求項10～15のいずれかに記載の第1の画像処理装置、および、請求項23～31のいずれかに記載の第2の画像処理装置の両方を具備することを特徴とする画像処理装置。

【請求項34】 請求項1～33のいずれかに記載の画像処理装置を備え、ビットの重み付けに比例した発光時間を有する複数のサブフィールドを任意に組合せて階調表示を行なうことを特徴とするプラズマ・ディスプレイ・パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は画像処理装置及びプラズマ・ディスプレイ・パネルに関し、特に、誤差拡散処理により疑似的に階調数を増加するようにした表示装置における画像処理装置に関する。近年、様々な表示装置の研究・開発が進められており、例えば、文字や映像等を鮮明に表示することができる大画面の平面型表示装置としてプラズマ・ディスプレイ・パネル(PDP)が注目されている。このPDPは表示階調数が少なく、自然画を表示する場合には何らかの多階調化処理が必要となるが、多階調化の一般的な処理としては「誤差拡散処理」が知られている。しかしながら、誤差拡散をPDPディスプレイにそのまま適用すると、PDP特有の表示方式との関係で、画質劣化を招くことになる。そこで、PDP駆動回路(或いは、PDPの表示方式を適用した他の表示装置における駆動回路)に誤差拡散処理を施す場合に、誤差拡散に伴う画質劣化を防止しつつ多階調化を行う画像処理装置の提供が要望されている。

【0002】

【従来の技術】図23はプラズマ・ディスプレイ・パネル(PDP)の階調駆動シーケンスの一例を示す図である。一般的にPDPでは、ビットの重み付けに比例した発光時間で、各ビット毎に全画面が同時に発光するサブフィールド方式がとられている。具体的に、図23に示すように、6つのサブフィールドSF1～SF6の発光時間の相対比を、例えば、1:2:4:8:16:32と設定することにより6ビット(6.4階調)表示を行うようになっている。

【0003】図23に示されるシーケンスからも明らかのように、階調数を増加するためにはサブフィールド(SF)数を増やせばよい。しかしながら、1つのサブフィールドには「アドレス期間」と呼ばれる発光画素を指定する期間が必要となるため、SF数を増やすことは、1フレーム期間(例えば、16.7ms)内でのアドレス期間を増大させることになり、その結果、相対的に発光期間が短くなってパネルの輝度を低下させることになる。そのため、現段階での技術においては、SF数の上限は6個程度とされている。

【0004】このようなPDPに対してテレビジョン映像(TV映像)などの自然画を表示するためには、多階調化を図る何らかの画像処理が必要となる。ここで、多階調化の手法としては数通りのものが知られているが、その自然な階調特性から「誤差拡散処理」が最も有効とされており、PDPのみならずLCD(液晶ディスプレイ)等の本来表示階調数が少ないディスプレイに対しての疑似的な多階調化の手段として「誤差拡散処理」が多く用いられている。

【0005】図24は誤差拡散処理の一例を説明するための図である。図24において、参照符号100(黒丸)は原画素を示し、101～104(白丸)は誤差拡散処理された原画素に隣接する画素を示している。まず、誤差拡散処理法とは、閾値と表示すべき値とのズレ(誤差)を周辺のデータに加算することで疑似的に階調を増やす方法である。ここでは、ある程度(6.4階調以下程度)の多値表示ができるPDPの階調を増やす場合を例として説明する。

【0006】誤差拡散処理法は、原画素100の輝度を $g(x, y)$ とし、実際に表示できる輝度(表示値) $P$ との差である誤差 $E(x, y)$ の値を周辺画素に拡散処理するものであり、 $P$ は誤差 $E(x, y)$ が最小となる値を選び、また、誤差データ $E(x, y)$ はある比率で分割して、周辺画素に加算する。図24に示す例では、代表的な比率として、右隣画素101に誤差の $7/16$ 、右下画素102に $1/16$ 、下画素103に $5/16$ 、左下画素104に $3/16$ を配分し、各画素の本来表示すべき値に加減するようになっている。場合を示している。

【0007】図25は誤差拡散処理をカラー・プラズマ・ディスプレイ・パネルに適用した一構成例を示すブロック図であり、図26は誤差拡散処理を行った場合および行わない場合の表示特性を比較して示す図である。ここで、図25では、原画が各色(赤色R、緑色G、青色B)8ビット(256階調)のデータを表示階調3ビット(8階調)のPDPに対して誤差拡散処理を行うシステムが例として示されている。

【0008】従来技術において、PDPはある程度(6.4階調程度)の表示階調数を確保することができ、また、サブフィールドは2の巾乗の時間配分で構成するこ

とが一般的であることを前提として、入力画像の上位から表示階調と同じビット数（上位3ビット）を表示データとし、残りの下位ビット（下位5ビット）を誤差データとして誤差拡散処理を施している。

【0009】このような図25に示す従来システム構成における表示特性が図26に示される。すなわち、誤差拡散処理をしない場合では、図26中の点線で示されるような0～7の8ステップの階段波形となる。これに対して、誤差拡散を施すと、図26中の太線で示されるような滑らかな表示特性となる。しかしながら、図26に示されるように、従来の誤差拡散処理では、原画像データの256階調（図26中の細線参照）である“00000000”～“11111111”の上位3ビットをそのまま表示データとし、切り捨てられる下位5ビットをそのまま誤差データとして誤差拡散処理を施すため、明るい画像の部分で表示特性が飽和してしまう（図26中のP参照）。この傾向は、ディスプレイが実際に表示できる階調数（ビット数）が大きくなるに従って小さくなる。すなわち、図25および図26では、表示3ビットを例としているが、実際には表示階調数が6ビット（64階調）程度のディスプレイでは図26中の平坦部（図26中のQ参照）が全体の64分の1となり階調特性が微小に急峻となるが、換言すると、コントラストが若干強めになるが、顕著な画質劣化ではないとしてこのような処理を適用しているのが実情である。

#### 【0010】

【発明が解決しようとする課題】 上述したように、誤差拡散処理は、少ない階調でもって、疑似的に多階調化するには非常に有効である。しかし、動画像を主体とするディスプレイ、特にPDPに適用した場合にはその階調表示駆動方法との関連で様々な問題が発生する。以下にその問題を説明する。

#### （1）表示特性の歪みの問題

i) 輝度飽和領域の発生  
前述したように、例えば、PDP（プラズマ・ディスプレイ・パネル）の発光輝度を上げるためには、サブフィールド数を少なくする必要がある。現状の技術レベルでは、ある程度の発光輝度を犠牲にして階調数を確保しており、例えば、1フレーム時間（16.7ms）内にサブフィールドを6個に設定している。今後、輝度の向上を考慮すると、サブフィールド数を減らす必要が生じてくるため、PDPの実際の表示階調数は減少せざるを得ない。このことは、表示階調が6ビット（64階調）の場合には無視できていた輝度飽和領域（図26中の符号Qの領域）も、全体の表示特性の中では無視できなくなり、画質の劣化として大きな問題となる。

ii) 階調数がビット境界にない場合における平坦部分の発生  
上述したi)のような発光輝度を向上をしない場合（すなわち、例えば、サブフィールドが6つまで確保できる

場合）でも、動画表示特性を向上させるためには、PDPのサブフィールドの構成を、例えば、4：8：1：2：8：4とするのが良いとされている。この場合は、0～27の28段階の表示階調となるが、これまでは表示階調数がビットバウンダリー（2の巾乗：64、32、16等）であったため、輝度が平坦な部分はビット数をnとすると全階調の $2^n$ 分の1となる。具体的に、例えば、5ビットの場合には、 $1/32$ が平坦となるのである。しかしながら、28階調（0～27）の場合には、32分の5の領域が平坦な特性となる。すなわち、原画像256階調を誤差拡散した5ビット32階調とし、これをデータ変換テーブルを用いて実際の表示階調にあわせたとしても、全域にわたって表示階調が平坦な部分が $5/32$ の領域に発生することとなり、その結果、階調特性が歪んでしまうことになる（図27および図28参照）。

【0011】図27は誤差拡散処理を行った場合の表示特性の一例を示す図であり、図28は誤差拡散処理を行った場合の表示特性の他の例を示す図である。すなわち、図27は平坦部分R1～R4が入力階調の高い方に集中した場合を示し、図28は平坦部分S1～S4がある程度分散した場合を示しているが、何れの場合でも、階調特性が歪んで正確な階調表示を行うことができず表示品質の低下を招くことになる。

#### （2）フリッカの問題

例えば、PDP（プラズマ・ディスプレイ・パネル）のサブフィールドによる階調駆動方式では、発光時間の長さによって階調を表現するようになっていく。従って、表示データでのLSB（最下位ビット）の変化が、レベルによっては点灯するサブフィールドの時間軸上での位置（時刻）が大きく変動することになる。これがフレーム周波数（例えば、60Hz）より低い周波数のフリッカとなり、画質劣化を引き起こす。

【0012】図29はプラズマ・ディスプレイ・パネルの一階調駆動方式におけるフリッカの発生を説明するための図である。図29では、説明を簡略化するために、サブフィールドの構成を1：2：4：8の4つのサブフィールド配列とし、0～15の16階調の場合を例として示している。ある画素の輝度がフィールド毎に7→8→7→8と変化した場合を考えると、人間の目には、隣接するフィールドを跨がって、0→15→0の変化が30Hzで発生し、フリッカが生じているように映る。

【0013】図30は誤差拡散処理を行わない場合のフリッカの様子を示す図であり、図31は誤差拡散処理を行った場合のフリッカの様子を示す図である。上述したように、点灯するサブフィールドが時間軸上で大きく変動しやすい個所において、このようなフリッカの発生が目につきやすくなる。すなわち、256階調の原画像で輝度レベルが128近傍にある画素が、16階調表示のPDPに表示される時、静止画であるにも関わらず必ず

化誤差または映像ノイズ等により、このような状態（図30中のハッチング領域T1参照）が発生する。

【0014】一方、誤差拡散処理は、原画像データと表示データとの差を積算し、ある面積で階調を補間していくため、図31中のハッチング領域T2で示されるような表示特性となる。このため、誤差拡散を行わない場合には、原画像データが128近傍の値でしかフリッカが発生しなかったもの（図30中の領域T1が、誤差拡散を行うと原画像データが113～128の値を取るもの（図31中の領域T2）について、表示データが7～8に、或いは、8～7に変化することになる。すなわち、誤差拡散処理を行うことは、フリッカを起こす画素数を増大させることになるのである。

【0015】誤差拡散を施すと、元々表示階調が少ないもので疑似的に多階調化を図るため、どのレベルにおいてもこのような信号が変化（8→9、9→8）が生じることになり、その度合いで階調を表現している。しかしながら、フリッカが顕著に目に付くのは、例えば、7と8の間の変化であるため、サブフィールド配列が変わればフリッカが目立ち易いレベルも異なってくるのである。

【0016】本発明は、上述した画像処理装置が有する課題に鑑み、誤差拡散に伴う画質劣化を防止しつつ多階調化を行う画像処理装置の提供を目的とする。

【0017】

【課題を解決するための手段】本発明の第1の形態によれば、疑似的にディスプレイの表示階調数を増大する誤差拡散処理を行う誤差拡散処理部を有する画像処理装置であって、前記誤差拡散処理部の前段に乗算器を設け、入力信号と所定の乗算係数との乗算を行って、前記誤差拡散処理に必要な表示データと誤差データをビット境界で分離し、前記入力信号の全域に渡って滑らかな表示特性を得るようにしたことを特徴とする画像処理装置が提供される。

【0018】本発明の第2の形態によれば、疑似的にディスプレイの表示階調数を増大する誤差拡散処理を行う誤差拡散処理部と、該誤差拡散処理部の前段に設けられ入力信号に対するディザ波形の加算および減算を行って、状態遷移の発生し易い誤差データを状態遷移の発生し難いデータに変換してフリッカの発生を抑えるディザ処理回路とを具備することを特徴とする画像処理装置が提供される。

【0019】

【発明の実施の形態】本発明の画像処理装置の第1の形態によれば、誤差拡散処理部の前段に設けられた乗算器によって、入力信号と所定の乗算係数との乗算が行われて、誤差拡散処理に必要な表示データと誤差データをビット境界で分離し、入力信号の全域に渡って滑らかな表示特性を得ることができる。

【0020】本発明の画像処理装置の第2の形態によ

ば、誤差拡散処理部の前段に設けられたディザ処理回路により、入力信号に対するディザ波形の加算および減算が行われ、状態遷移の発生し易い誤差データを状態遷移の発生し難いデータに変換してフリッカの発生を抑えることができる。上記の本発明の画像処理装置の第1の形態および第2の形態は、RGB3原色ディスプレイに対して適用することができ、また、該第1の形態および第2の形態の両方を設けて画像処理装置を構成することもできる。

【0021】

【実施例】以下、図面を参照して本発明に係る画像処理装置の第1の形態および第2の形態を詳述する。まず、表示特性の歪みの問題を解決する本発明の画像処理装置の第1の形態の原理構成を説明する。

【0022】図1は本発明に係る画像処理装置の第1の形態の原理を示すブロック図であり、図2は本発明の画像処理装置の第1の形態による表示特性を示す図である。図1に示されるように、本発明の画像処理装置の第1の形態は、誤差拡散処理部4の前段に乗算器3を設け、表示できる階調数に照らしたゲイン係数Gを与え、これにより表示データと誤差データをビット境界で切りわけ、この信号を基に誤差拡散処理を行うようになっている。これにより、前述した輝度の飽和領域の発生をなくし、かつ、表示階調がビット境界にない場合に生じる表示特性の平坦部等を発生させないようにすることが可能となる。

【0023】（1）まず、例えば、元の映像信号（D1）が256階調（8ビット）で表示階調（D2）が5ビット（0～31）の場合、ゲイン係数Gを $31 \times 8 / 255 = 248 / 255$ とすることにより、輝度の飽和領域の発生をなくすることができる。（2）次に、例えば、元の映像信号（D1）が256階調（8ビット）で表示階調（D2）がビット境界にない場合（0～27）、ゲイン係数Gを $27 \times 8 / 255 = 216 / 255$ とすることにより、表示階調がビット境界にない場合に生じる表示特性の平坦部等を発生させないようにすることができる。このときの表示特性が図2に示される。

【0024】上述した1）および2）のどちらの場合でも、乗算器3から出力される信号は、上位ビット（上位5ビット）が表示データで、残りの下位ビット（下位3ビット）が誤差データとして分離されることになる。これを通常の誤差拡散処理部4に供給し、誤差拡散を行うことにより所望の表示特性を得ることができる。図3は本発明の画像処理装置の第1の形態による表示歪みの補正を説明するための図である。ここで、原信号（映像入力信号）が256階調（0～255）で表示階調が6階調（0～5）の場合を例として本発明の画像処理装置の第1の形態の作用を説明する。

【0025】図3において、従来技術の表示特性が細線（L1）で示され、本発明の画像処理装置の第1の形態

11

による表示特性（図1における乗算器3の出力）が太線（L2）で示され、そして、実際の表示階調が点線（L3）で示されている。すなわち、図3中の細線L1に示されるように、従来技術のように原信号をそのまま誤差拡散処理に入力した場合には、入力0～255の全域に渡って4分の1が平坦な特性（図3中の領域Q0参照）となるのに対して、図3中の太線L2に示されるように、本発明の第1の形態を適用することにより、全域に渡って平坦部を発生させることなく誤差拡散処理により疑似中間調表示を行うことができる。

【0026】すなわち、図1に示されるように、まず、入力された映像信号D1はゲイン係数Gが乗算されて出力される。この時の入出力の関係は、図3中の太線L2の特性となる。ここで、例えば、上位3ビットが表示データとされ、下位ビットが誤差データとされる。誤差データのビット数は、（乗算器の構成にも依存するが）乗算による下位へのビット伸長を長く取れば取るほど、後段の誤差拡散処理によって滑らかな表示特性を得ることができる。例えば、簡易的に誤差データを5ビットとすることができる。

【0027】以上のように、所定のゲイン係数（G）を設定し、原信号（D1）に乘算することにより、実際の表示階調数にあわせて入力信号の全域にわたって滑らかな表示特性を得ることができる。さらに、この乗算器3の出力は、上位と下位のビット境界で、表示データと誤差データとの分離が行われることになる。この乗算器3の出力信号を基に誤差拡散処理部4で誤差拡散処理を施し、疑似中間調を作り出すことにより、従来技術で発生していた信号の平坦部（図3中の細線L1における領域Q0）を無くすことができ、図3中の太線L2で示されるような、滑らかな表示特性を得ることができる。

【0028】次に、フリッカの問題を解決する本発明の画像処理装置の第2の形態の原理構成を説明する。図4は本発明に係る画像処理装置の第2の形態の原理を示すブロック図である。図4において、参照符号5は信号処理回路（ディザ処理回路）、6は誤差拡散処理部、51はディザ波形テーブル、52は加算器、53は乗算器、そして、54はセレクト（切替器）を示している。

【0029】図4に示されるように、本発明の画像処理

12

装置の第2の形態は、誤差拡散処理部6の前端に、ディザ波形テーブル51、加算器52、乗算器53、および、セレクト54を備えた信号処理回路5を設けるようになっている。ディザ波形テーブル51は、映像信号D1を受け取ってサブフィールドの配列および点灯順序等によりフリッカの発生しやすいレベルに対応するディザ波形を出力するためのものであり、また、セレクト54は、ライン/ドット毎に $\times 1$ 、 $\times (-1)$ を行うものである。さらに、乗算器53は、ディザ波形テーブル51の出力信号およびセレクト54の出力信号を乗算するものであり、また、加算器52は、映像信号D1および乗算器53の出力信号を加算するものである。そして、この信号処理回路5によって、各レベル毎に最適なディザをかけられた信号が誤差拡散処理部6に供給され、該誤差拡散処理部6における誤差拡散処理が施されてもフリッカの発生頻度を抑圧するようになっている。

【0030】図5は本発明の画像処理装置の第2の形態を説明するための一例としてのディザ配置を示す図であり、また、図6は本発明の画像処理装置の第2の形態によるフリッカの抑圧を説明するための図である。ここで、PDPのサブフィールドを4つとし、そのサブフィールドの構成を1:2:4:8:16とした場合、従って、実際の表示階調数は0～31の32階調となり、これに原信号が256階調（0～255）の映像を誤差拡散処理により疑似的に中間調表示を行う場合を例として本発明の画像処理装置の第2の形態の作用を説明する。尚、上記の場合、フリッカを起こす確率は、後に詳述するように、32.8%となる。

【0031】この時、注意しなければならないのは、0～31のどの表示値においてもこの確率で表示値 $N \rightarrow N+1$ 、 $N+1 \rightarrow N$ を起こしているのであるが、点灯するサブフィールドが時間軸上で大きく変動する個所、例えば、「1、2、4、8の点灯」→「16の点灯」となるような表示値15と16の間のデータ変動がフリッカとして最も顕著に見える個所となることである。この表示値が15～16に変動する可能性がある領域にディザ波形を加える場合の動作を以下に示す。

【0032】

【表1】



〔表1〕

原画階調		120	121	122	123	124	125	126	127	128
ディザデータ		0	1	2	3	4	3	2	1	0
A	係数	+0	+1	+2	+3	+4	+3	+2	+1	+0
	出力	120	122	124	126	128	128	128	128	128
	表示	15	15 or 16			16				
B	係数	-0	-1	-2	-3	-4	-3	-2	-1	-0
	出力	120	120	120	120	120	122	124	126	128
	表示	15				15 or 16			16	

【0033】まず、図5に示されるように、PDPの全画素を水平および垂直方向においてAとBの千鳥状に分類する。そして、15～16の表示値を取る領域の各ディザ値を上記の表1におけるディザデータ（表1のハッチング部）のようにし、この値を図4におけるディザ波形テーブル51内に持たせる。これにより、入力信号（映像信号D1）に対応したディザ波形が該ディザ波形テーブル51から読み出されることになる。この時、例えば、画面の水平カウンタおよび垂直カウンタのLSB（最下位ビット）により、ドット反転し且つライン反転するトグル信号を生成し、このトグル信号（画面上では千鳥状）によりディザ数値を原信号に加算したり、或いは、原信号から減算する。

【0034】従って、ディザ値を加算された画素Aと、ディザ値を減算された画素Bの特性はそれぞれ図6中の太線で示す値となる。これをA、Bの区別なく誤差拡散処理を行うことにより、図6中の太線で示す表示特性とすることができる。この時、表1に示すように、表示値15～16の領域の原画階調120～128は、上記のようなディザ処理を加えない場合には121～127の領域において表示値が15→16、16→15といった変動の可能性があるが、ディザ処理を加えることにより、画素Aでは121～123、画素Bでは125～127の原画階調のみが15～16の間で表示階調が変動することになる。従って、上記の例で示したディザ波形でディザ処理をした後に誤差拡散処理を施した画像は、後に詳述するように、従来のディザ処理を施さず誤差拡散処理を行なった場合に比べて、フリッカの発生頻度は約2分の1程度になる。

【0035】次に、本発明に係る画像処理装置の第1の形態の実施例を説明する。ここで、本発明の画像処理装置の第1の形態は、入力信号の表示特性の歪みを補正し、且つ、全域に渡って階調特性を滑らかにするものである。図7は本発明の画像処理装置の第1の形態における第1の実施例を示すブロック図である。図7において、参照符号3は乗算器、4は誤差拡散処理部、10はプラズマ・ディスプレイ・パネル（PDP）、そして、30はレジスタを示している。この図7は、nビットで

量子化（0以上で $2^n - 1$ 以下の整数）された信号を、実際の表示階調数Aがmビット（ $m < n$ ）すなわち表示階調数Aが $2^{m-1} + 1$ 以上で、 $2^n$ 以下のディスプレイ（PDP）に対して誤差拡散処理を行い疑似的に多階調化を図る場合の画像処理装置の回路構成例を示すものである。

【0036】図7に示されるように、本発明の画像処理装置の第1の形態における第1の実施例は、誤差拡散処理部4の前段に乗算器3を備え、さらに、該乗算器3に対して供給する乗算係数Gを格納するレジスタ30を備えている。レジスタ30は、最適な乗算係数Gである $(A-1) \times 2^{n-m} / (2^n - 1)$ を格納するようになっている。このレジスタ30は、サブフィールド配列が変わって表示階調数が増えた場合でも対応可能なように、書き換え可能なラッチ回路等により構成される。また、レジスタ30のビット数は所要演算ビット数に依存するが、本実施例ではpビットとされている。この乗算係数Gが入力信号D1（nビット）と乗算され、qビットで出力される。この時、qは、 $n \leq q \leq n + p$ の値であるが、実際には、システムの所要演算精度によって決定されることになる。

【0037】そして、乗算処理されたqビットの信号は、上位mビットが正数で原画素の表示値として出力され、下位 $q-m$ ビットも正数で誤差値として出力される。これにより、後段の誤差拡散処理部4で行われる誤差拡散処理における誤差積算が正数演算のみによる簡単な演算回路として構成することができるようになっている。さらに、本実施例によれば、入力階調の全域に渡って滑らかな表示特性を持つ（平坦部のない）mビットの表示信号を得ることができることになる。

【0038】図8は本発明の画像処理装置の第1の形態における第2の実施例を示すブロック図であり、図9は図8の画像処理装置における処理動作を説明するための図である。図8において、参照符号31は乗算係数（G）の傾きA（ $A_a \sim A_d$ ）を格納するためのレジスタ（乗算係数レジスタ）、33は乗算係数の切片B（ $B_a \sim B_d$ ）を格納するためのレジスタ（加算係数レジスタ）、35は加算器、32はレジスタ31から出力され

る乗算係数の傾き  $Aa \sim Ad$  を選択して乗算器3へ供給するためのセレクト (乗算係数セレクト)、そして、34はレジスタ32から出力される乗算係数の切片  $Ba \sim Bd$  を選択して加算器35へ供給するためのセレクト (加算係数セレクト) を示している。この図8は、 $n$  ビットで量子化 ( $0$  以上で  $2^n - 1$  以下の整数) された信号を、実際の表示階調数  $A$  が  $m$  ビット ( $m < n$ ) すなわち表示階調数  $A$  が  $2^{m-1} + 1$  以上で、 $2^m$  以下で、なおかつ非線形特性 ( $\gamma$  特性など) をもつディスプレイに誤差拡散処理を行い疑似的に多階調化を図る場合の画像処理装置の回路構成例を示すものである。

【0039】図8に示されるように、本発明の画像処理装置の第1の形態における第2の実施例は、ディスプレイの非線形特性を補正する曲線 (逆特性) を直線近似するように構成されている。近似の方法は、システム所要精度によるが、本実施例では4つの直線により補正曲線の近似を行う場合を例として示しており、その特性は図9に示される。尚、ディスプレイの表示階調は  $0 \sim 27$  の2.8階調の場合を想定し、従って、入力信号の最高階調 (8ビット信号における255) が  $(A-1) \times 2^{m-1} = 27 \times 8 = 216$  になるようにした上で、補正曲線を決定するようになっている。

【0040】具体的に、4本の直線の傾き (乗算係数) と切片 (加算係数) を、それぞれ入力信号が  $0 \sim 63$  の領域  $a$  では、傾き  $Aa$ 、切片  $Ba$  とし、入力信号が  $64 \sim 127$  の領域  $b$  では、傾き  $Ab$ 、切片  $Bb$  とし、入力信号が  $128 \sim 191$  の領域  $c$  では、傾き  $Ac$ 、切片  $Bc$  とし、そして、入力信号が  $192 \sim 255$  の領域  $d$  では、傾き  $Ad$ 、切片  $Bd$  とするようになっている。

【0041】この傾き  $A (Aa \sim Ad)$  および切片  $B (Ba \sim Bd)$  の数値をそれぞれレジスタ31および32に格納する。レジスタ31、32は、サブフィールド配列が変わって表示階調数が変化した場合でも対応できるように書き換え可能なラッチ回路等により構成される。また、入力信号の上位2ビットによって傾き  $A$  と切片  $B$  が選択され、そして、まず、入力信号  $D$  と傾き  $A$  が乗算され、その後に切片  $B$  が加算される。尚、傾き  $A$ 、切片  $B$  とともに正負の値を取り得る。そして、この演算式は、 $y = Ax + B$  となり、4つの領域によって  $A$ 、 $B$  が切り替わることにより所望する直線近似した補正特性を得ることができる。また、上記の領域、或いは、レジスタに格納する傾きおよび切片の数は、4つに限定されるものではないのはもちろんである。

【0042】そして、乗算および加算処理された  $q$  ビットの信号は、上位  $m$  ビットが正数で原画素の表示値として出力され、下位  $q - m$  ビットも正数で誤差値として出力される。これにより、後段の誤差拡散処理における誤差積算が正数演算のみによる簡単な演算回路で構成することができるようになっている。さらに、本実施例によれば、ディスプレイの非線形特性を補正すると同時に

に、入力階調の全域に渡って滑らかな表示特性を持つ (平坦部のない)  $m$  ビットの表示信号を得ることができることになる。

【0043】図10は本発明の画像処理装置の第1の形態における第3の実施例を示すブロック図であり、図11は図10の画像処理装置における処理動作を説明するための図である。この図10および図11に示す第1の形態の第3実施例も、上述した図8および図9に示す第1の形態の第2実施例と同様に、4つの直線により補正曲線の近似を行うようになっているが、レジスタ31、33に格納するのは、該第2実施例では傾き ( $A$ ) および切片 ( $B$ ) であったのが、本第3実施例では傾き ( $A$ ) および各境界の左端の  $y$  値 ( $C$ ) となっている。具体的に、レジスタ33に対して、例えば、4ブロックのうち左から2つ目のブロックでは、 $x = 64$  との交点の  $y$  値 ( $Cb$ ) を格納することになる。これにより、前記第2実施例における乗算器3の被乗数である  $n$  ビットを、本第3実施例では、 $n - 2$  ビットにすることができ、乗算器3の回路構成を簡略化することができる。

【0044】ここで、本第3実施例においても、上記の領域の数は4つに限定されるものではないが、例えば、領域が8つの場合、すなわち、8つの直線近似を行う場合には、乗算器3の被乗数を  $n - 3$  ビットにすることができ、高性能化に伴う回路規模の増大を最小限に抑えることができる。図12は本発明の画像処理装置の第1の形態における第4の実施例を示すブロック図である。

【0045】この図12に示す第1の形態における第4実施例は、RGBのカラー3原色によるディスプレイに適用する場合を示すものであり、 $n$  ビットで量子化された入力RGB信号に対して、実際の表示階調が  $m$  ビット ( $m < n$ ) 以下で、RGBがそれぞれ異なる非線形特性 ( $\gamma$  特性など) をもつディスプレイに対して、カラーバランスを崩すことなく、誤差拡散処理によって疑似的に多階調化処理を施し画像表示する場合の画像処理装置の回路構成例を示すものである。

【0046】RGBの各色に対する回路構成は、図8および図9を参照して説明した本発明の画像処理装置の第1の形態の第2実施例と同様のものであり、RGBそれぞれに対して誤差拡散処理を行うようになっている。ここで、RGBの各表示蛍光体の発光特性のパラッキ等によりRGBの非線形特性はそれぞれ異なるため、RGBの各々に対して異なる補正特性を持たせるように、第1の形態の第2実施例における傾き  $A$  および切片  $B$  を格納するレジスタ31および33をRGBに対して独立に設けるようになっている。尚、RGBの各色に対する回路構成を、例えば、図10および図11を参照して説明した本発明の第1の形態の第3実施例と同様に構成してもよいのはいうまでもない。

【0047】以下、本発明に係る画像処理装置の第2の形態の実施例を説明するが、その前に、誤差拡散処理の

悪影響（フリッカ+固定模様）について説明する。ここで、本発明の画像処理装置の第2の形態は、誤差拡散処理を施し疑似的に多階調化を図ると同時に、誤差拡散に伴うフリッカを抑制させるものである。尚、以下の実施例では、主としてRGBによるカラー表示を行うPDPに適用した場合を説明するが、本発明の第2の形態も上述した第1の形態と同様に、本第2の形態の適用がRGBカラー表示を行うディスプレイに限定されるものではなく、また、PDPに限定されるものでもない。

【0048】まず、誤差拡散の分析を行う。8ビットの入力信号（D1）を5ビットの表示データ（D）および3ビットの誤差データ（E）とする場合を考える。このとき、誤差データEは、0～7の8種類の値となる。誤差拡散処理は、近傍画素の誤差データEを集めて「8」を越える場合には、「最下位ビット1」を出力するものである。

【0049】従って、誤差データE=3で均一な画素 \*

$$P_3 = (3/8) \cdot (5/8) + (5/8) \cdot (3/8) \\ = 15/32$$

となり、また、E=kの場合におけるフリッカの発生頻度  $P_k$  は、

$$P_k = k(8-k)/32$$

となる（以下の表2参照）。

【0052】

【表2】

【表2】

E	発生頻度 P
0	0/32
1	7/32
2	12/32
3	15/32
4	16/32
5	15/32
6	12/32
7	7/32

【0053】従って、任意レベル内でのフリッカの発生頻度は、次式に示されるように、32.8%となる。

【0054】

【数1】

$$\sum_{k=0}^7 E_k = 84/256 = 32.8\%$$

【0055】これが特定レベル（具体的に、点灯サブフィールド（SF）が時間軸上で大きく変動する箇所）では、フリッカとなって画質劣化と感じられることになる。図14は2つの事象間で変化が生じる確率の一例を説明するための図である。具体的に、例えば、現象Aが起こる確率を40%、現象Bが起こる確率を60%と仮

\*は、3/8の確率で8となり、5/8の確率で0となる。次に、フリッカの発生頻度について説明する。現在予定しているサブフィールド構成では、点灯サブフィールドが時間軸上で大きく移動するような特定レベルにおいてフリッカとなる。ここで、フリッカは、特に、輝度の低い部分で目立ち易い。なお、輝度が高い部分では点灯期間の時間軸上での重心移動が少なくなる。

【0050】図13は誤差データとフリッカ発生頻度との関係の一例を示す図である。フリッカは、誤差拡散処理に照らして考えると、表示データDに影響を及ぼす1が立ったり、立たなかったりする時に発生する。すなわち、誤差データEの積算値が「8」→「0」に変化する時、および、「0」→「8」に変化する時にフリッカとなる。

【0051】具体的に、誤差データE=3の場合におけるフリッカの発生頻度  $P_3$  は、

定した場合、「A→B」の確率は  $4/10 \cdot 6/10 = 24/100$ 、「B→A」の確率は  $6/10 \cdot 4/10 = 24/100$ 、「A→A」の確率は  $4/10 \cdot 4/10 = 16/100$ 、そして、「B→B」の確率は  $6/10 \cdot 6/10 = 36/100$ となる。

【0056】すなわち、状態が変化する確率（「A→B」および「B→A」）は48%となり、また、状態が変化しない確率（「A→A」および「B→B」）は52%となる。次に、本発明に係る画像処理装置の第2の形態の基本的な考え方を説明すると、本発明の第2の形態では、上記の表2に基づき状態遷移（「0→1」、「1→0」）の発生し易い誤差データE（例えば、誤差データE=4）を、状態遷移の発生し難いデータに変換するものである。具体的に、元の階調を再現するために、2画素セットで同じ値を加算および減算し、その平均値を元のデータと同じにする。

【0057】具体的に、例えば、表示データに対して千鳥状のディザマトリクスをかけ、A+Bで階調表現する場合に、AおよびBの両方共にフリッカが発生し難いレベルに変換するために、入力信号に±Zのディザパターンを足し込む（加算（減算）する）。図15は本発明の画像処理装置の第2の形態におけるフリッカの低減手法を適用した一例を説明するための図である。

【0058】前記の表2での誤差データEによるフリッカの発生頻度（何も処理しない時）を図15中の太線LN15で示す。次に、それぞれの誤差データEに対し±Zで元の誤差データEを表現できるZを数種選択し、そして、E±Zの2点を結ぶ直線と元のEとの交点で、P（フリッカの発生頻度）が1番小さい値をとるものを「フリッカ低減用の最適ディザ」として選択する。

【0059】この最適ノイズを、次の表3に示す。この

時のフリッカ発生頻度は、図15中のハッチング領域となる。

【0060】

【表3】

【表3】

E	A, B	Z
0	0. 0 (0±0)	0
1	0. 2 (1±1)	1
2	0. 4 (2±2)	2
3	0. 6 (3±3)	3
4	0. 8 (4±4)	4
5	2. 8 (5±3)	3
6	4. 8 (6±2)	2
7	6. 8 (7±1)	1

$$P=A+B$$

$$A=1/16 \cdot 1/32 (0+12+16+12+0+0+0+0)$$

$$B=1/16 \cdot 1/32 (0+0+0+0+0+0+12+16+12)$$

この時のフリッカ発生頻度を求めると、 $P=40/256=15.6\%$ となる。従って、本発明のフリッカ低減手法を適用した場合のフリッカ発生頻度(15.6%)は、前述した本発明のフリッカ低減手法を適用しない場合のフリッカ発生頻度(32.8%)の半分以下になる。

【0062】ここで、N画素のディザマトリクスによるフリッカ低減を考える。上記の説明では、ディザパターン※

{0}	{1}	{2}	{3}	{4}	{5}	{6}	{7}
00	10	20	20	20	20	20	21
00	00	00	01	02	12	22	22

また、8値のディザを2×2のディザマトリクスで表現した例を以下に示す。

{0}	{1}	{2}	{3}	{4}	{5}	{6}	{7}
0000	1000	1000	1010	1010	0101	0111	0111
0000	0000	0010	0100	0101	1011	1101	1111
0000	0010	0100	1001	1010	0110	1011	1101
0000	0000	0001	0100	0101	1011	1110	1111

図17は本発明の画像処理装置の第2の形態におけるフリッカの低減手法を適用した他の例を説明するための図である。図17において、参照符号LN17はフリッカ低減手法を適用しない場合のフリッカ発生頻度を示し、LN17AおよびLN17Bは2値のディザパターン(A、B)を使用した本発明のフリッカ低減手法を適用した場合のフリッカ発生頻度を示し、そして、LN17A0、LN17A1、LN17B0、LN17B1は4値のディザパターン(A0、A1、B0、B1)を使用した本発明のフリッカ低減手法を適用した場合のフリッカ発生頻度を示している。

【0065】図18は図17に示す例におけるフリッカの低減手法を適用した前後の誤差データとフリッカ発生

\*【0061】図16は図15に示す例におけるフリッカの低減手法を適用した前後の誤差データとフリッカ発生頻度との関係を示す図である。上述したように、本発明のフリッカ低減手法を適用した場合、AおよびBの値は以下ようになる。

\*

※Nを±Zの2値としているが、このディザパターンは、例えば、4値或いは8値等のディザパターンとすることも可能である。すなわち、4値および8値のパターンでは、2値の場合よりもさらなるフリッカ除去が可能である。

【0063】4値のディザを2×2のディザマトリクスで表現した例を以下に示す。

★【0064】

頻度との関係を示す図であり、同図(a)はフリッカ低減手法を適用しない場合を示し、同図(b)は2値のディザパターンによる本発明のフリッカ低減手法を適用した場合を示し、同図(c)は4値のディザパターンによる本発明のフリッカ低減手法を適用した場合を示し、そして、同図(d)は8値のディザパターンによる本発明のフリッカ低減手法を適用した場合を示している。

【0066】図18(a)～図18(d)に示されるように、フリッカ低減手法を適用しない場合のフリッカ発生頻度は32.8%(同図(a)参照)であったのが、2値のディザパターンを適用した場合のフリッカ発生頻度は15.6%(同図(b)参照)となり、また、4値のディ

21

ザパターンを適用した場合のフリッカ発生頻度は6.2% (同図(c) 参照) となり、そして、8値のディザパターンを適用した場合のフリッカ発生頻度は0% (同図(d) 参照) となることが示されている。すなわち、4値および8値のディザパターンを適用した場合には、2値のディザパターンを適用した場合よりもさらに一層のフリッカ除去が可能であることが判る。

【0067】以下に説明する本発明の画像処理装置の第2の形態における各実施例では、nビットで量子化された入力信号を実際の表示階調がmビット (m<n) 以下のRGBカラー3原色によるディスプレイに対し、誤差拡散処理を施して疑似的に多階調化を図ると共に誤差拡散に伴うフリッカを抑制させる回路例が示される。図19は本発明の画像処理装置の第2の形態における第1の実施例を示すブロック図である。図19において、参照符号201~203はRGBの各々に対して設けられたディザ波形処理部を示し、さらに、271、272はレジスタ、273はラインカウンタ、274はドットカウンタ、275はEOR (排他的論理和: エクスクルージブOR) ゲートである。また、参照符号211、212、214はセレクタ、213はインパータ、215は加算器、そして、216は誤差拡散処理部を示している。

【0068】この図19に示す実施例は、数種類のディザ波形を持ち、入力信号のレベルに応じて適切なディザ波形を指定できる回路構成を示すものである。本実施例では、入力信号がRGBのそれぞれ8ビットとして構成され、実際の表示階調も各々5ビット (0~16の17階調から、0~31の32階調) であり、この時に施すディザ波形を4ビット (-15~15) で8パターンを

【表5】

REG2

誤差データ	0	1	2	3	4	5	6	7
ディザ種類 No. 1	0	1	2	3	4	3	2	1
No. 2	1	1	1	1	1	1	1	1
No. 3	0	0	2	4	4	4	2	0
No. 6	0	0	0	1	3	1	0	0
No. 7	0	0	1	2	3	2	1	0

【0072】レジスタ272 (REG2) は、上記の表5に示されるように、ディザ波形を格納するレジスタであり、1レベル当たり4ビット、すなわち、1表示階調領域当たり8個 (=誤差データ3ビットに相当) を7種類用意するため、 $4 \times 8 \times 7 = 224$ ビットのレジスタとして構成されている。そして、これら2つのレジスタ271、272に対して所望のディザ処理をプログラムする。

【0073】入力されたRGB (赤色、緑色、青色) の

22

1種類とし、これを7種類 (実際には、ディザOFFを含めて8種類) 指定できるようになっている。

【0069】

【表4】

【表4】

REG1

表示階調	入力階調	ディザ種類
0	0~7	OFF
1	8~15	No. 3
2	16~23	OFF
3	24~31	No. 1
31	248~255	No. 3

【0070】レジスタ271 (REG1) は、上記の表4に示されるように、入力信号の階調 (0~7、8~15、16~23等) に応じて施す最適なディザ種類 (OFF、No. 3、OFF等) を指定するために用いられる。本実施例では、ディザは7種類 (3ビット) 用意され、レジスタ271は、これら7種類のディザを表示階調数 (32階調) 毎に指定できるように  $32 \times 3 = 96$  ビットのレジスタとして構成されている。このレジスタ271は、後述するレジスタ272と同様に、例えば、サブフィールド構成等が変化した場合にデータの更新を行うことができるように、ラッチ回路等により構成されている。

【0071】

【表5】

各8ビットの信号は、それぞれの処理ブロック (ディザ波形処理部) 201、202、203に入力される。すなわち、各ディザ波形処理部において、上位5ビットがセレクタ211 (SEL1) に入力されてセレクト信号となる。セレクタ211は、3ビットの3 to 1セレクタであり、これにより、所定レベルのディザ種類がレジスタ271から選択されることになる。

【0074】セレクタ211により選択された3ビットのディザ番号と、入力信号の下位3ビットの合計6ビッ

トがセレクト212 (SEL2) に入力される。セレクト212は、4ビットのイネーブル付56to1セレクトであり、イネーブル/ディセーブル制御はディザOFFの状態 (ディザ No. 0に対応) に使用され、ディザ No. 0が指定されるとセレクト212からはデューティ0が出力される。

【0075】このように、入力階調に応じて選択されたディザ波形は、セレクト213 (SEL3) により反転/非反転の制御が行われる。すなわち、反転の場合はインバータ213を介して入力されたセレクト212の出力を選択し、また、非反転の場合には直接入力されたセレクト212の出力を選択することになる。セレクト214は、4ビットの2to1セレクトであり、また、該セレクト214の切り替え信号は、垂直方向のラインカウンタ273および水平方向のドットカウンタ274の各LSB (最下位ビット) をEORゲート275で排他的論理和を取った出力となっている。従って、セレクト214の切り替え信号は、画面上では千鳥状の信号となる。この信号によって反転/非反転出力されたディザ波形および8ビットの入力信号が加算器215において演算される。すなわち、図19中の破線で囲んだ部分は、ディザ波形 (セレクト212の出力波形) を $\alpha$ とすると、「入力信号 $\pm\alpha$ 」の演算をしていることになる。

【0076】これら一連の処理により、入力信号に応じたディザ波形が入力信号自身に千鳥状に加算・減算され所望のディザ処理が完了し、誤差拡散処理部216に出力される。尚、誤差拡散処理部216における誤差拡散処理は、前述した従来の処理と同様であり、その説明は省略する。図20は本発明の画像処理装置の第2の形態における第2の実施例を示すブロック図である。本第2実施例は、上述した第1実施例と同様な構成とされており、参照符号301~303はRGBの各々に対して設けられたディザ波形処理部を示し、さらに、371、372はレジスタ、373はラインカウンタ、374はドットカウンタ、375はEORゲートである。また、参照符号311、312、314はセレクト、313はインバータ、315は加算器、そして、316は誤差拡散処理部を示している。

【0077】この図20に示す第2の形態の第2実施例は、1種類のディザ波形のみを設定し、入力信号レベルに応じてON/OFF (ディザ処理をする/しない) を指定できる回路構成を示すものである。本実施例では、入力信号がRGBのそれぞれ8ビットとして構成され、実際の表示階調も各々5ビット (0~16の17階調から、0~31の32階調) であり、この時に施すディザ波形を4ビット (-15~15) で8パターンを1種類のみ持つようになっている。

【0078】図20の画像処理装置におけるレジスタ371 (REG1) は、上述した本発明の第2の形態における第1実施例と同様に、入力信号の階調に応じたディ

ザのON/OFFを指定するものであり、表示階調数 (32階調) 毎に指定できるように、 $32 \times 1 = 32$ ビットのレジスタとして構成されている。また、図20の画像処理装置におけるレジスタ372 (REG2) は、ディザ波形を格納するレジスタであり、1レベル当たり4ビットで8個を1種類用意するため、 $4 \times 8 = 32$ ビットのレジスタとして構成されている。これら2つのレジスタ371、372に対して所望のディザ処理をプログラムする。

【0079】このように、図20に示す本発明の第2の形態の第2実施例によれば、レジスタ371および372の容量を削減することができ、回路規模を削減することが可能となる。尚、回路動作は、図19を参照して説明した本発明の第2の形態の第1実施例において、レジスタ372に格納するディザ波形を7種類から1種類とした場合 (実際には、ディザOFFとの2種類) に対応し、その説明は省略する。

【0080】図21は本発明の画像処理装置の第2の形態における第3の実施例を示すブロック図である。本第2実施例は、前述した第1実施例と同様に、数種類のディザ波形を持つ場合であるが、ディスプレイの非線形特性が強い場合のディザ処理例を示すものである。すなわち、図19に示す第1実施例では、同一レベルの信号に対して $\pm\alpha$ の値を与え、2画素の合計で元々の映像 (入力信号による本来の映像) の明るさを表示するようにしていたが、この処理ではディスプレイ自体が非線形特性を持つ場合では $\alpha$ が加算される時と減算される時では、人間の目にはその振幅が同等ではなくなる。すなわち、人間の目には、 $((\text{入力信号} + \alpha) + (\text{入力信号} - \alpha)) / 2 \neq \text{入力信号}$ と映るのである。この傾向は、ディザ波形の振幅値が大きい個所、或いは、非線形特性の強い個所で顕著となり、階調の連続性が損なわれることになる。

【0081】図21において、参照符号401~403はRGBの各々に対して設けられたディザ波形処理部を示し、さらに、471、472はレジスタ、473はラインカウンタ、474はドットカウンタ、475はEORゲートである。また、参照符号411、412、414はセレクト、413はインバータ、415は加算器、そして、416は誤差拡散処理部を示している。

【0082】この図21に示す第2の形態の第3実施例は、加算するディザ値と減算するディザ値を別々に指定できるようにレジスタ472を構成するようになっている。すなわち、入力信号に対して加算するためのディザ値 $\alpha (+\alpha)$ および入力信号に対して減算するためのディザ値 $\beta (-\beta)$ のそれぞれを格納するために、レジスタ472は、図19に示すレジスタ272の2倍の容量を持つように構成されている。

【0083】具体的に、レジスタ472 (REG2) は、例えば、 $4 \times 8 \times 7 \times 2 = 448$ ビットのレジスタ

25

として構成されている。そして、これら2つのレジスタ471、472に対して加算用のディザ値( $\alpha$ )および減算用のディザ値( $\beta$ )プログラムして所望のディザ処理を行うようになっている。尚、この図21に示す本発明の第2の形態の第3実施例の動作は、レジスタ472の容量が2倍になる以外は実質的に同様であるのでその説明は省略する。

【0084】図22は本発明の画像処理装置の第1の形態および第2の形態を適用した一実施例を示すブロック図である。すなわち、図22に示す本実施例は、例えば、図12を参照して説明したような本発明の画像処理装置の第1の形態と、図19を参照して説明したような本発明の画像処理装置の第2の形態との両方を備えて構成されている。尚、図22において、適用可能な本発明の画像処理装置の第1の形態および第2の形態は、図22に示す図12の実施例(第1の形態)および図19の実施例(第2の形態)に限定されるものではなく、前述した本発明の画像処理装置の第1の形態および第2の形態の各実施例を適用することができるのはいうまでもない。

【0085】すなわち、図22に示す実施例は、RGBのカラー3原色によるディスプレイで、その実際の表示階調数が少ないために疑似的な多階調化を図るために誤差拡散処理を適用する場合において、入力信号の階調全域に渡ってその表示階調特性を滑らかにしつつ(本発明の画像処理装置の第1の形態)、さらに、発光時間によって階調表現を行うディスプレイ(PDPなど)に発生しやすいフリッカ現象を抑える(本発明の画像処理装置の第2の形態)ことのできるものである。

【0086】この図22に示す実施例において、処理の順序は、本発明の第1の形態による処理を行なった後、本発明の第2の形態による処理を行うようになっている。すなわち、例えば、入力信号が $n$ ビットで実際の表示階調数が $m$ ( $n > m$ )の場合、まず、図12に示す本発明の第1の形態の実施例回路(20R、20B、20G)により入力信号のとり得る最大値が表示階調の最大値となるように乗算係数を設定する。次に、ディスプレイのRGBの蛍光体のバラツキ等により表示特性が均でない場合でも、RGBのそれぞれの乗算・加算の係数を変えることによりバラツキを補正する。そのため、レジスタ(傾きレジスタ31、切片レジスタ33)はRGB用にそれぞれ独立して持つようになっている。

【0087】回路20R、20B、20G(本発明の第1の形態の回路)の出力信号RGBは、各々 $q$ ビット(乗算、加算により発生する下位伸長ビットを含む)が回路201、202、203(本発明の第2の形態の回路)に入力される。ここで、ディスプレイの階調駆動シーケンスは予め決定されており、フリッカの目立ちやすい表示値レベルの部分にディザ処理を施す。

【0088】この時、階調駆動シーケンス(サブフィ

26

ルド構成)はRGBによらず同一であるがため、特定レベルにかけるディザ波形はRGB共通データで十分であるため、回路201、202、203により所定のディザ処理を施された信号は、上位 $m$ ビットが正数の表示データ、下位 $q-m$ ビットが正数の誤差データとビット境界で分離され、これにより後段の誤差拡散処理における誤差積算が正数演算のみによる簡単な演算回路で構成することが可能となる。そして、図22に示す実施例によれば、ディスプレイの非線形特性を補正しつつ、カラーバランス歪みを無くすることができ、また、入力階調の全域に渡って滑らかな表示特性を持つ(平坦部のない) $m$ ビットの表示信号を得ることができる。

【0089】ここで、上述した各実施例は、主にプラズマ・ディスプレイ・パネル(PDP)を例として説明したが、本発明の画像処理装置は、PDPに限定されるものではなく、上述したPDPと同様の駆動方式(1フィールドを複数のサブフィールドにより構成し、表示階調を増加するために誤差拡散処理を行う方式)を採用する様々なディスプレイに対しても適用することができるのはもちろんである。

【0090】

【発明の効果】以上、詳述したように、本発明の画像処理装置によれば、表示階調数の少ないディスプレイ、特に、PDP(プラズマ・ディスプレイ・パネル)等の誤差拡散処理を用いて疑似的に多階調化を図り画像を表示する場合において、従来技術に見られた表示階調歪みの発生、および、フリッカの増大等を抑えることができる。さらに、本発明の画像処理装置によれば、ディスプレイの有する非線形特性や、RGBの蛍光体のバラツキに起因するカラーバランス歪みに対しても同時に補正を行うことができ、ディスプレイの高画質化に大きく貢献することができる。

【図面の簡単な説明】

【図1】本発明に係る画像処理装置の第1の形態の原理を示すブロック図である。

【図2】本発明の画像処理装置の第1の形態による表示特性を示す図である。

【図3】本発明の画像処理装置の第1の形態による表示歪みの補正を説明するための図である。

【図4】本発明に係る画像処理装置の第2の形態の原理を示すブロック図である。

【図5】本発明の画像処理装置の第2の形態を説明するための一例としてのディザ配置を示す図である。

【図6】本発明の画像処理装置の第2の形態によるフリッカの抑圧を説明するための図である。

【図7】本発明の画像処理装置の第1の形態における第1の実施例を示すブロック図である。

【図8】本発明の画像処理装置の第1の形態における第2の実施例を示すブロック図である。

【図9】図8の画像処理装置における処理動作を説明す

10

20

30

40

50

るための図である。

【図10】本発明の画像処理装置の第1の形態における第3の実施例を示すブロック図である。

【図11】図10の画像処理装置における処理動作を説明するための図である。

【図12】本発明の画像処理装置の第1の形態における第4の実施例を示すブロック図である。

【図13】誤差データとフリッカ発生頻度との関係の一例を示す図である。

【図14】2つの事象間で変化が生じる確率の一例を説明するための図である。

【図15】本発明の画像処理装置の第2の形態におけるフリッカの低減手法を適用した一例を説明するための図である。

【図16】図15に示す例におけるフリッカの低減手法を適用した前後の誤差データとフリッカ発生頻度との関係を示す図である。

【図17】本発明の画像処理装置の第2の形態におけるフリッカの低減手法を適用した他の例を説明するための図である。

【図18】図17に示す例におけるフリッカの低減手法を適用した前後の誤差データとフリッカ発生頻度との関係を示す図である。

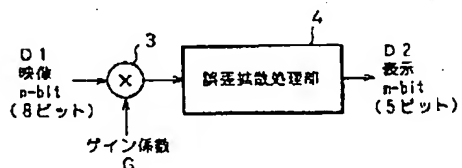
【図19】本発明の画像処理装置の第2の形態における第1の実施例を示すブロック図である。

【図20】本発明の画像処理装置の第2の形態における第2の実施例を示すブロック図である。

【図21】本発明の画像処理装置の第2の形態における第3の実施例を示すブロック図である。

【図1】

本発明に係る画像処理装置の第1の形態の原理を示すブロック図



【図22】本発明の画像処理装置の第1の形態および第2の形態を適用した一実施例を示すブロック図である。

【図23】プラズマ・ディスプレイ・パネルの階調駆動シーケンスの一例を示す図である。

【図24】誤差拡散処理の一例を説明するための図である。

【図25】誤差拡散処理をカラー・プラズマ・ディスプレイ・パネルに適用した一構成例を示すブロック図である。

【図26】誤差拡散処理を行った場合および行わない場合の表示特性を比較して示す図である。

【図27】誤差拡散処理を行った場合の表示特性の一例を示す図である。

【図28】誤差拡散処理を行った場合の表示特性の他の例を示す図である。

【図29】プラズマ・ディスプレイ・パネルの一階調駆動方式におけるフリッカの発生を説明するための図である。

【図30】誤差拡散処理を行わない場合のフリッカの様子を示す図である。

【図31】誤差拡散処理を行った場合のフリッカの様子を示す図である。

【符号の説明】

3…乗算器

4…誤差拡散処理部

5…信号処理回路

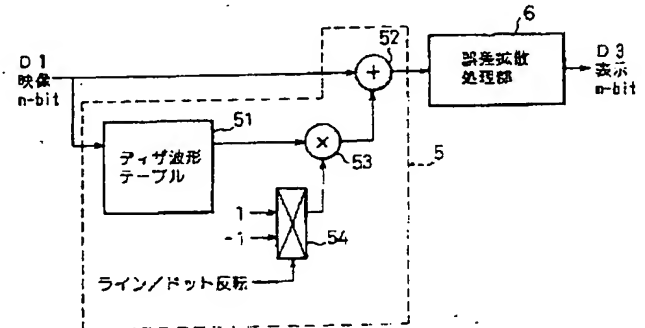
51…ディザ波形テーブル

52…加算器

54…セレクト

【図4】

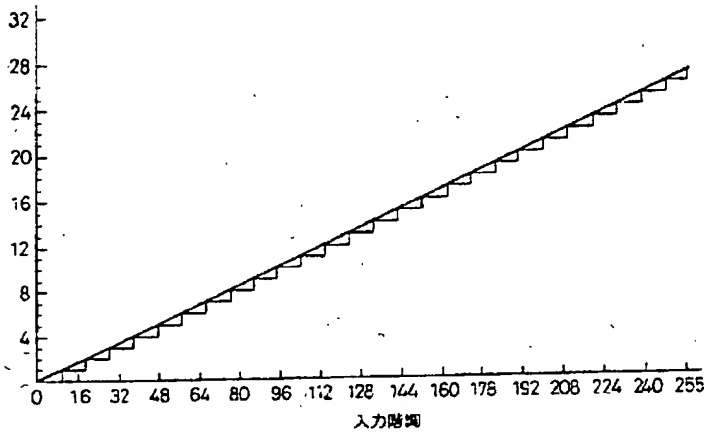
本発明に係る画像処理装置の第2の形態の原理を示すブロック図





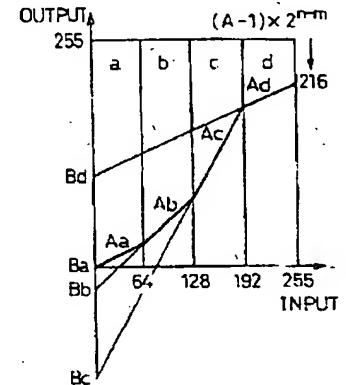
【図2】

本発明の画像処理装置の第1の形態による表示特性を示す図



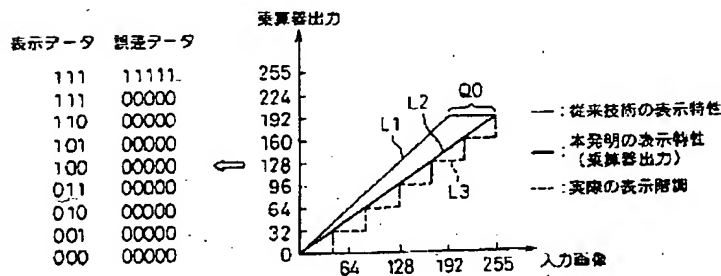
【図9】

図8の画像処理装置における処理動作を説明するための図

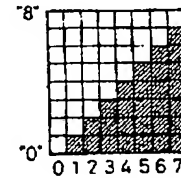


【図3】

本発明の画像処理装置の第1の形態による表示歪みの補正を説明するための図



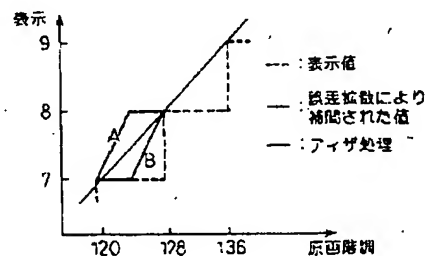
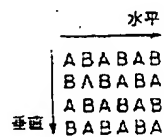
誤差データとフリッカ発生頻度との関係の一例を示す図



【図5】

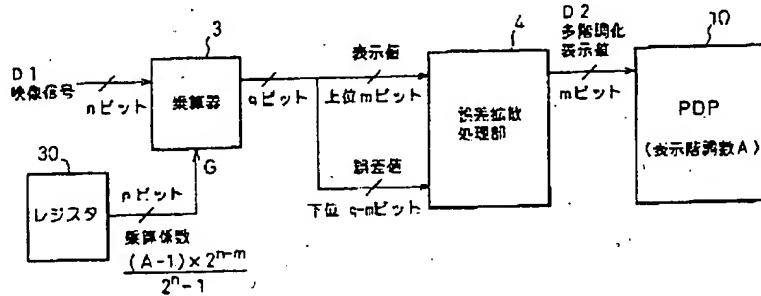
【図6】

本発明の画像処理装置の第2の形態を説明するための一例としての本発明の画像処理装置の第2の形態によるフリッカの抑圧をディザ配置を示す図



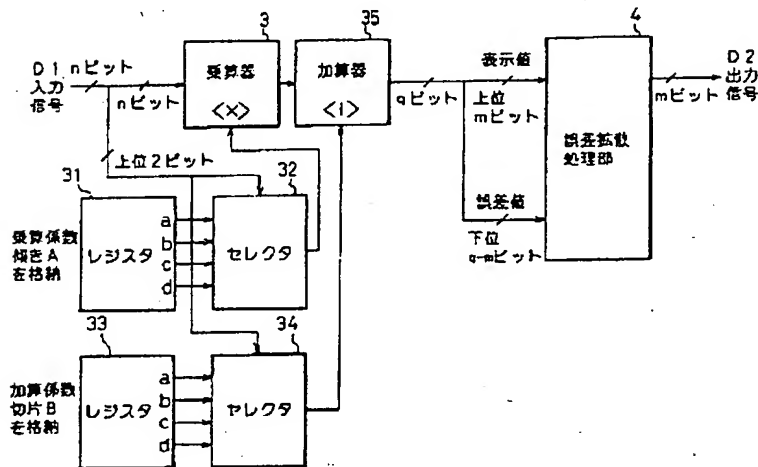
【図7】

本発明の画像処理装置の第1の形態における第1の実施例を示すブロック図



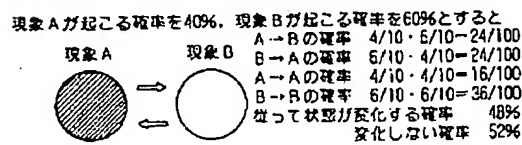
【図8】

本発明の画像処理装置の第1の形態における第2の実施例を示すブロック図



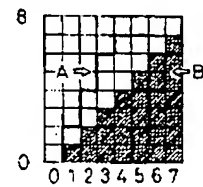
【図14】

2つの事象間で変化が生じる確率の一例を説明するための図

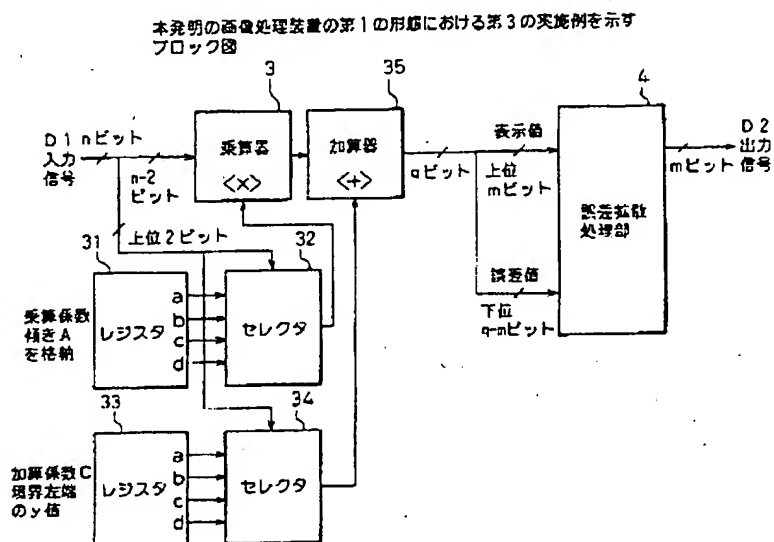


【図16】

図15に示す例におけるフリッカの低減手法を適用した前後の誤差データとフリッカ発生頻度との関係を示す図



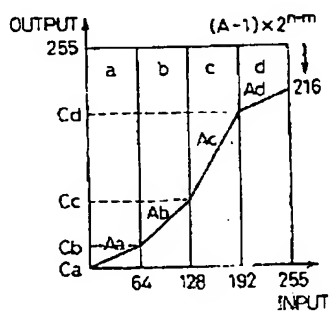
【図10】



【図11】

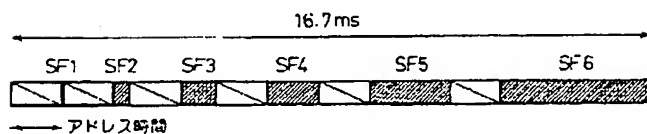
【図15】

図10の画像処理装置における処理動作を説明するための図

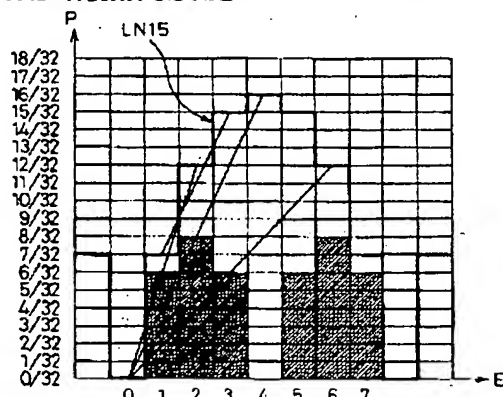


【図23】

プラズマ・ディスプレイ・パネルの階調変動シーケンスの一例を示す図

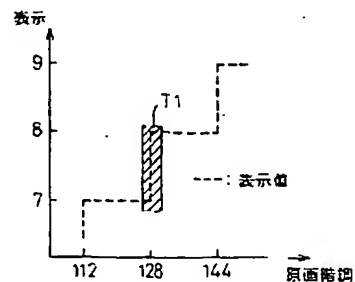


本発明の画像処理装置の第2の形態におけるフリッカの低減手法を適用した一例を説明するための図



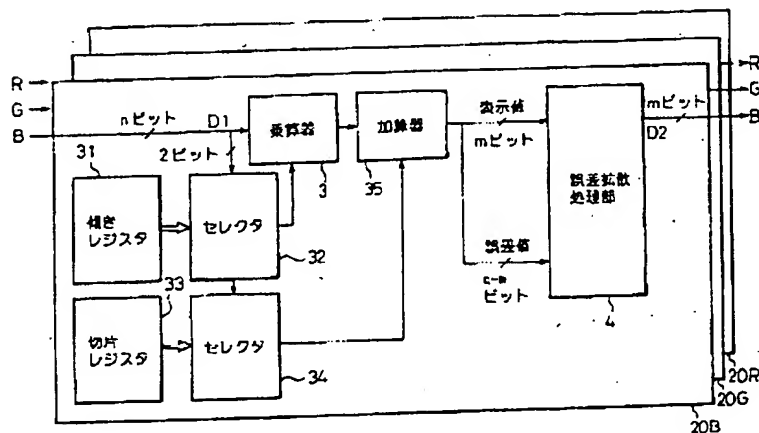
【図30】

調整処理を行わない場合のフリッカの様子を示す図



【図12】

本発明の画像処理装置の第1の形態における第4の実施例を示すブロック図

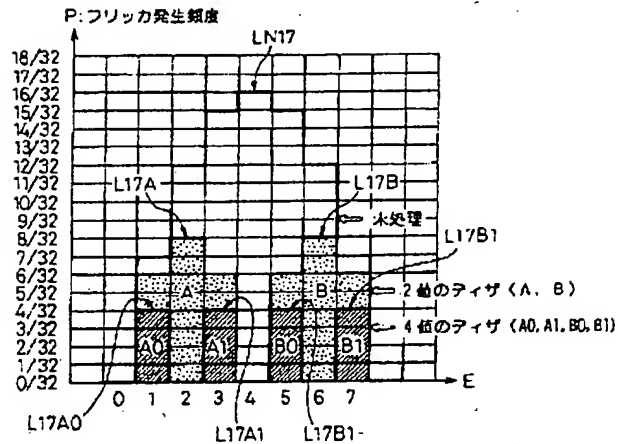


【図17】

【図18】

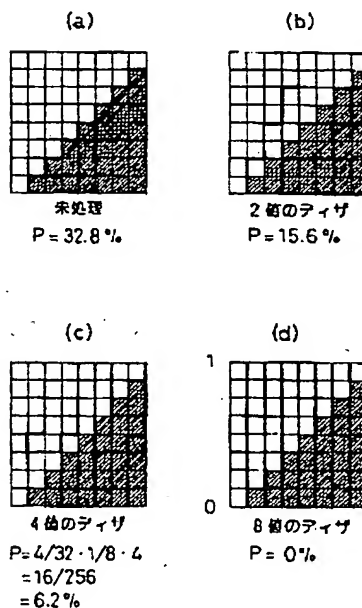
本発明の画像処理装置の第2の形態におけるフリッカの低減手法を適用した他の例を説明するための図

図17に示す例におけるフリッカの低減手法を適用した前後の誤差データとフリッカ発生頻度との関係を示す図



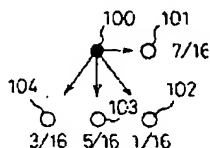
【図24】

誤差拡散処理の一例を説明するための図

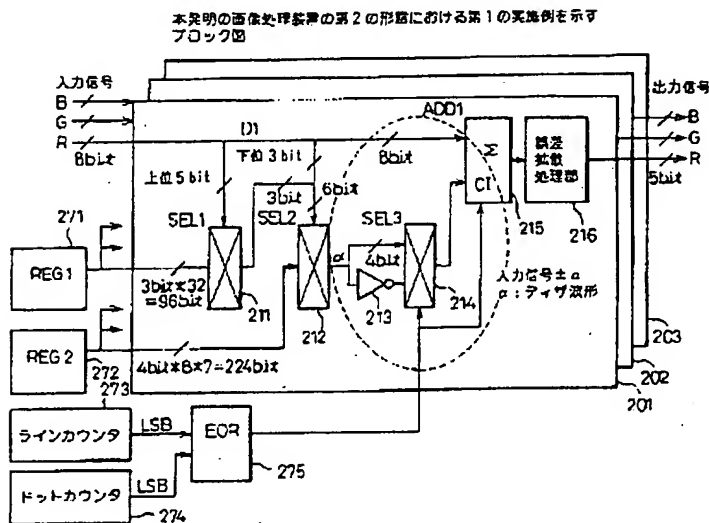


$$E(x, y) = g(x, y) - P$$

$E(x, y)$  : 誤差  
 $g(x, y)$  : 原画像  
 $P$  : 表示値

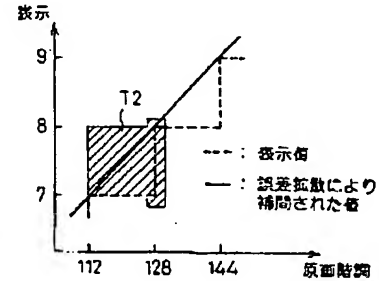


【図19】

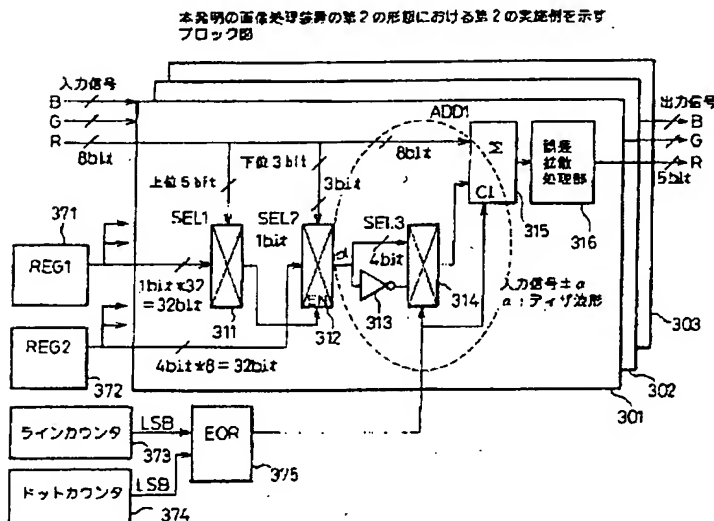


【図31】

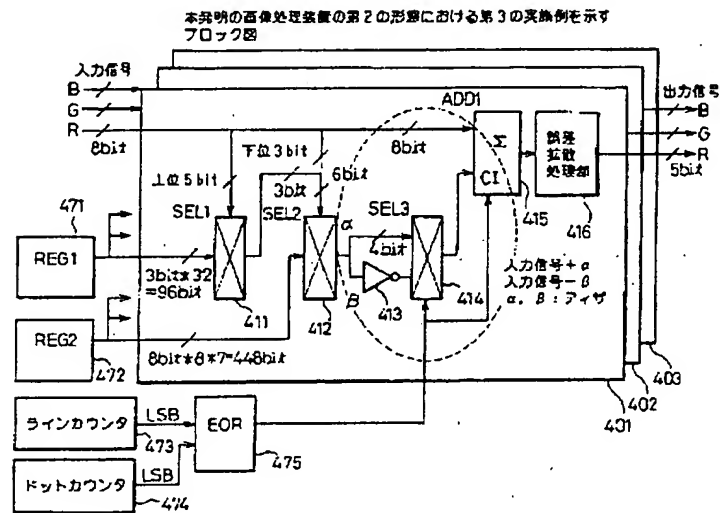
誤差拡散処理を行った場合のフリッカの様子を示す図



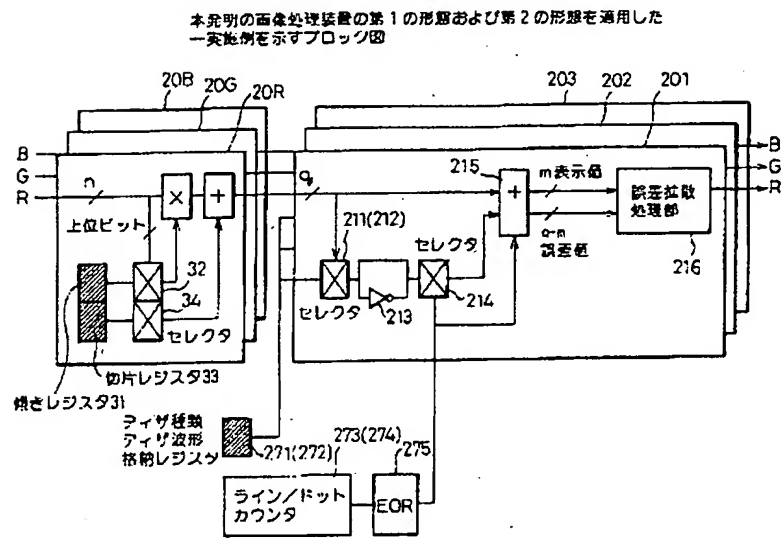
【図20】



【圖 21】

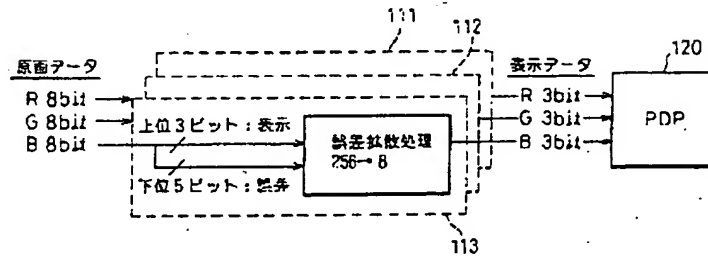


【图 22】



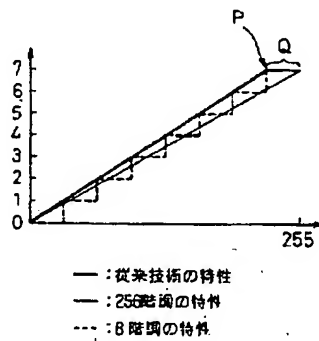
【図25】

誤差拡散処理をカラー・プラズマ・ディスプレイ・パネルに適用した一構成例を示すブロック図



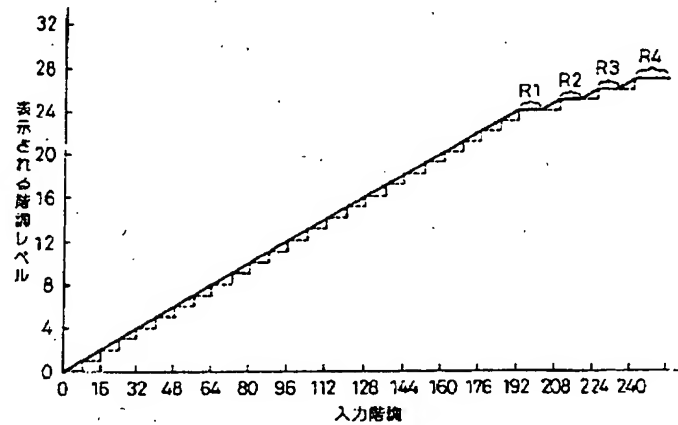
【図26】

誤差拡散処理を行った場合および行わない場合の表示特性を比較して示す図



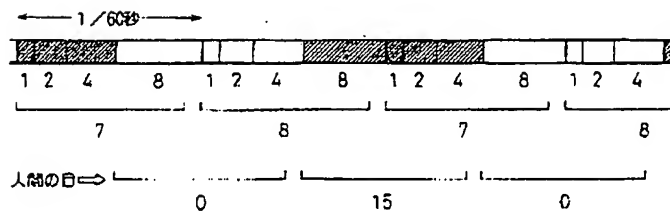
【図27】

誤差拡散処理を行った場合の表示特性の一例を示す図



【図29】

プラズマ・ディスプレイ・パネルの一階調駆動方式におけるフリッカの発生を説明するための図



【図28】

誤差拡散処理を行った場合の表示特性の他の例を示す図

